

Docket No.: 67161-073

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of

Tetsuya NITTA, et al.

Serial No.:

Filed: July 24, 2003

For: INTEGRATED SEMICONDUCTOR DEVICE AND METHOD OF MANUFACTURING
THEREOF

:
:
:
:
: Group Art Unit:
:
: Examiner:
:

**CLAIM OF PRIORITY AND
TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT**

Mail Stop Patent Application
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

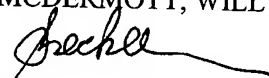
In accordance with the provisions of 35 U.S.C. 119, Applicant hereby claims the priority of:

Japanese Patent Application No. 2003-017109, filed January 27, 2003,

cited in the Declaration of the present application. A certified copy is submitted herewith.

Respectfully submitted,

MCDERMOTT, WILL & EMERY



Stephen A. Becker
Registration No. 26,527

600 13th Street, N.W.
Washington, DC 20005-3096
(202) 756-8000 SAB:km
Facsimile: (202) 756-8087
CUSTOMER NUMBER 20277
Date: July 24, 2003

日本国特許庁
JAPAN PATENT OFFICE

67161-073
Tetsuya Nitta, et al.
July 24, 2003

McDermott, Will & Emery

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日

Date of Application:

2003年 1月27日

出願番号

Application Number:

特願2003-017109

[ST.10/C]:

[JP2003-017109]

出願人

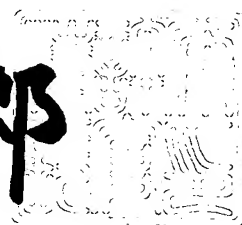
Applicant(s):

三菱電機株式会社

2003年 2月21日

特許庁長官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3009174

【書類名】 特許願

【整理番号】 542472JP01

【提出日】 平成15年 1月27日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 21/266

H01L 27/085

【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社
社内

【氏名】 新田 哲也

【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社
社内

【氏名】 寺島 知秀

【特許出願人】

【識別番号】 000006013

【氏名又は名称】 三菱電機株式会社

【代理人】

【識別番号】 100064746

【弁理士】

【氏名又は名称】 深見 久郎

【選任した代理人】

【識別番号】 100085132

【弁理士】

【氏名又は名称】 森田 俊雄

【選任した代理人】

【識別番号】 100083703

【弁理士】

【氏名又は名称】 仲村 義平

【選任した代理人】

【識別番号】 100096781

【弁理士】

【氏名又は名称】 堀井 豊

【選任した代理人】

【識別番号】 100098316

【弁理士】

【氏名又は名称】 野田 久登

【選任した代理人】

【識別番号】 100109162

【弁理士】

【氏名又は名称】 酒井 將行

【手数料の表示】

【予納台帳番号】 008693

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 集積半導体装置およびその製造方法

【特許請求の範囲】

【請求項 1】 半導体層内に形成され、第 1 導電型半導体のソースと、第 1 導電型半導体のドレインと、前記ソースとドレインとの間に介在する第 2 導電型半導体のボディ領域とを有する半導体素子を、複数、搭載した集積半導体装置であって、

一の半導体素子におけるドレインの少なくとも所定部分における不純物濃度が、他の半導体素子におけるドレインの所定部分の不純物濃度と異なる、集積半導体装置。

【請求項 2】 前記一の半導体素子と他の半導体素子との耐圧が相違する、請求項 1 に記載の集積半導体装置。

【請求項 3】 前記一の半導体素子が高い耐圧性能を有し、前記他の半導体素子が一の半導体素子よりも低い耐圧性能を有し、前記一の半導体素子の前記ドレインの少なくとも所定部分における不純物濃度が、前記他の半導体素子のドレインの所定部分における不純物濃度よりも低い、請求項 1 または 2 に記載の集積半導体装置。

【請求項 4】 前記他の半導体素子の耐圧が 1 0 0 V 以下である、請求項 1 ～ 3 のいずれかに記載の集積半導体装置。

【請求項 5】 前記ソースは前記半導体層の表層側に位置し、前記ボディ領域はそのソースを前記半導体層の内側から包囲するように配置されている、請求項 1 ～ 4 のいずれかに記載の集積半導体装置。

【請求項 6】 前記一のドレインおよび他のドレインは、ともに、前記半導体層の表層側に位置して配線が接続されるコンタクト部を含むドレイン収束領域と、前記ドレイン収束領域の第 1 導電型不純物の濃度より低い濃度の第 1 導電型半導体であって、前記ソース、ボディ領域およびドレイン収束領域以外の部分の前記半導体層からなるドレインドリフト領域とから構成されている、請求項 1 ～ 5 のいずれかに記載の集積半導体装置。

【請求項 7】 前記一のドレインのドレインドリフト領域および他のドレイ

ンのドレインドリフト領域の少なくとも一方において、前記ソースと前記ドレイン収束領域とを結ぶ部分に、それぞれのドレインドリフト領域より高濃度の第1導電型不純物を含むドレインドリフト層を備える、請求項6に記載の集積半導体装置。

【請求項8】 前記複数の半導体素子は、素子耐圧100V以上の半導体素子と、素子耐圧100V未満の半導体素子に分類され、前記素子耐圧100V以上の半導体素子は、その半導体素子のドレインドリフト領域の底部から表面までの厚み d と、その第1導電型不純物濃度 N との積 $N \cdot d$ が $0.8 \sim 1.2 E 12$ (cm^{-2})の範囲にあり、前記素子耐圧100V未満の半導体素子は、そのドレインドリフト層の底部から表面までの厚み d と、その第1導電型不純物濃度 N との積 $N \cdot d$ が $0.8 E 12$ (cm^{-2})より大きい、請求項1～7のいずれかに記載の集積半導体装置。

【請求項9】 前記素子耐圧100V未満の半導体素子のドレインドリフト領域の前記積 $N \cdot d$ が $1.2 E 12$ (cm^{-2})より大きい、請求項8に記載の集積半導体装置。

【請求項10】 耐圧によらず前記複数のすべての半導体素子のドレインドリフト層の底部から表面までの厚み d と、その第1導電型不純物濃度 N との積 $N \cdot d$ が $0.8 E 12$ (cm^{-2})以上の範囲にある、請求項1～7のいずれかに記載の集積半導体装置。

【請求項11】 一の半導体素子におけるドレインの少なくとも所定部分における不純物、および他の半導体素子におけるドレインの所定部分の不純物は、ともに、前記半導体層の表層側で濃度が高く、内側に向って濃度が低くなる、請求項1～10のいずれかに記載の集積半導体装置。

【請求項12】 前記半導体素子が、MOSFET (Metal Oxide Semiconductor Field Effect Transistor)、IGBT (Insulated Gate Bipolar Transistor)、バイポーラトランジスタおよびダイオードのうちのいずれかである、請求項1～11のいずれかに記載の集積半導体装置。

【請求項13】 半導体層内に形成された、第1導電型半導体のソースと、第1導電型半導体のドレインと、前記ソースとドレインとの間に介在する第2導

電型半導体のボディ領域とを有する半導体素子を、複数、搭載した集積半導体装置の製造方法であって、

一の半導体素子におけるドレインの少なくとも所定部分と、他の半導体素子におけるドレインの所定部分とに、同じ機会に不純物を注入する工程において、一の半導体素子のドレインに対応する部分では第 1 の開口率を有し、また他の半導体素子のドレインに対応する部分では第 1 の開口率と異なる第 2 の開口率を有する、注入マスクを用い、

前記不純物注入工程の後に、前記集積半導体装置に熱処理を施し前記不純物を拡散させる工程とを備える、集積半導体装置の製造方法。

【請求項 1 4】 前記一の半導体素子の耐圧は前記他の半導体素子の耐圧より高く、前記第 1 の開口率が前記第 2 の開口率より小さい注入マスクを用いる、請求項 1 3 に記載の集積半導体装置の製造方法。

【請求項 1 5】 前記一の半導体素子と他の半導体素子とは隣接して位置するものであり、前記不純物注入工程より前に、前記一の半導体素子と他の半導体素子とを隔てる壁状の素子分離絶縁膜を、前記半導体層に設ける工程を備える、請求項 1 3 または 1 4 に記載の集積半導体装置の製造方法。

【請求項 1 6】 前記注入マスクとして、マスク部および開口部がストライプ状のマスクを用い、前記半導体素子のソースからドレインへのキャリア流路の方向に沿わせて、前記ストライプの延びる方向を配置して、前記注入マスクを用いる、請求項 1 3 ～ 1 5 のいずれかに記載の集積半導体装置の製造方法。

【請求項 1 7】 前記注入マスクとして、マスク部のなかに開口部がドット状に散在するメッシュ状マスクを用いる、請求項 1 3 ～ 1 5 のいずれかに記載の集積半導体装置の製造方法。

【請求項 1 8】 前記注入マスクとして、マスク部が開口部内にドット状に散在するように配置された、ドット状マスクを用いる、請求項 1 3 ～ 1 5 のいずれかに記載の集積半導体装置の製造方法。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、複数の半導体素子を内蔵する集積半導体装置とその製造方法に関し、とくに、耐圧性能およびオン抵抗が異なる複数種類の半導体素子を内蔵する集積半導体装置とその製造方法に関するものである。

【0002】

【従来の技術】

従来のMOSFET(Metal Oxide Semiconductor Field Effect Transistor)では、異なるしきい値電圧を有するMOSFETを搭載したIC(Integrated Circuit)を製造するために、ウェル領域の不純物濃度を複数種類とする構成が用いられてきた。すなわち、高いしきい値電圧を有するMOSFETのウェル領域は不純物濃度を高くし、それより低いしきい値電圧を有するMOSFETのウェル領域の不純物濃度は高くする(特許文献1)。

【0003】

また、液晶駆動部などに用いられるMOSFETでは、論理信号を処理する部分と、出力信号を処理する部分とでトランジスタ耐圧を変える必要がある。すなわち、論理信号処理用のMOSFETは、低い電圧で駆動され、かつ寸法を小さくするために、ウェル領域の不純物濃度は高めにする。これに対して、出力信号を処理するMOSFETは、高い電圧で駆動されるため高い耐圧を要するので、そのウェル領域の不純物濃度は低めにする(特許文献2、特許文献3)。

【0004】

上記のICでは、2種類の不純物濃度のウェルを形成するのに、開口率の異なる部分を有する注入マスクを用いて半導体に不純物を注入する。この後、アニールして上記注入された不純物を拡散させることにより、ウェル内の不純物濃度を均質化する。当然のことであるが、開口率の小さいマスク部分から不純物を注入されたウェルのほうが不純物濃度は低くなる。

【0005】

上記のように、注入マスクの開口率を変えることにより、不純物の注入量をウェルに応じて変化させて、ウェルの不純物濃度を半導体素子ごとに変えることができる。

【0006】

【特許文献 1】

特開平 1 1 - 1 1 1 8 5 5 号公報

【0 0 0 7】

【特許文献 2】

特開平 6 - 3 1 8 5 6 1 号公報

【0 0 0 8】

【特許文献 3】

特開平 1 1 - 2 3 8 8 0 6 号公報

【0 0 0 9】

【発明が解決しようとする課題】

上記において不純物濃度が問題とされたのは、M O S F E T のウェル、すなわちボディの部分であり、対象とする M O S F E T の特性は、(b1) しきい値電圧および (b2) 耐圧であった。すなわち、ウェルの不純物濃度を変えることにより、しきい値電圧または耐圧性能の異なる M O S F E T を形成することを目的にしている。

【0 0 1 0】

しかしながら、高耐圧トランジスタ素子を搭載した集積半導体装置において、各高耐圧トランジスタ素子のオン抵抗を低減する要求が根強くある。高耐圧トランジスタ素子において、ウェルまたはボディ部の不純物濃度を変化させてもオン抵抗に影響を与えることはほとんどできない。このため、高耐圧トランジスタ素子を、複数、搭載した集積半導体装置において、各高耐圧トランジスタ素子に適切な耐圧とオン抵抗との両方を設定して、集積半導体装置として望ましい特性を確保することが望まれてきた。

【0 0 1 1】

本発明は、集積半導体装置に内蔵される複数の半導体素子のオン抵抗および耐圧性能を各半導体素子の種類に応じて適切化することにより集積半導体装置全体として適切な特性を得ることができる集積半導体装置およびその製造方法を得ることを目的とする。

【0 0 1 2】

【課題を解決するための手段】

本発明の集積半導体装置は、半導体層内に形成された、第1導電型半導体のソースと、第1導電型半導体のドレインと、ソースとドレインとの間に介在する第2導電型半導体のボディ領域とを有する半導体素子を、複数、搭載した集積半導体装置である。この集積半導体装置では、一の半導体素子におけるドレインの少なくとも所定部分における不純物濃度が、他の半導体素子におけるドレインの所定部分の不純物濃度と異なる。

【0013】

この構成により、集積半導体装置の素子耐圧に応じた不純物濃度にすることができる。また、上記ドレインの所定部分は、ドレイン全体であってもよいし、ドレインのなかの部分であってもよい。一の半導体素子のドレインの所定部分と他の半導体素子のドレインの所定部分とは、両方のドレインの形状が同じ、または相似形であっても、対応する位置関係をとらなくてもよい。両方のドレインの形状が異なってもよい。

【0014】

また、ソースおよびドレインの用語を用いたが、 $p-n$ 接合が2箇所に設けられる半導体素子であれば、ソースはエミッタまたはカソードと言い換えてもよく、またドレインはコレクタまたはアノードと言い換えてもよい。すなわち、上記半導体素子は、ソースおよびドレインによって呼ばれる部分を有する半導体素子に限定されず、上記エミッタ、カソードおよびコレクタ、アノードで呼ばれる部分を有する半導体素子も含む。上記のボディ領域は、ソース、ドレインと導電型が異なる半導体であれば、どのような名称のものでもよく、たとえばバックゲートなどを挙げることができる。

【0015】

本発明の集積半導体装置の製造方法は、半導体層内に形成された、第1導電型半導体のソースと、第1導電型半導体のドレインと、ソースとドレインとの間に介在する第2導電型半導体のボディ領域とを有する半導体素子を、複数、搭載した集積半導体装置の製造方法である。この製造方法は、一の半導体素子におけるドレインの少なくとも所定部分と、他の半導体素子におけるドレインの所定部分

とに、同じ機会に不純物を注入する工程において、一の半導体素子のドレインに対応する部分では第 1 の開口率を有し、また他の半導体素子のドレインに対応する部分では第 1 の開口率と異なる第 2 の開口率を有する注入マスクを用いる。そして、不純物注入工程の後に、集積半導体装置に熱処理を施し不純物を拡散させる工程とを備える。

【0016】

この方法により、一つの不純物注入工程で、耐圧の異なる半導体素子ごとに不純物濃度を調整することにより、各半導体素子のオン抵抗と耐圧のトレードオフ特性の良い集積半導体装置を得ることができる。また、アニールなどの熱処理工程では、中間処理状態の集積半導体装置に対して熱処理を施すので、一の半導体素子と他の半導体素子とは同じ処理機会に熱処理されることになる。

【0017】

【発明の実施の形態】

次に図面を用いて本発明の実施の形態について説明する。

【0018】

（実施の形態 1 - 理論的背景 -）

オン抵抗と耐圧性能との 2 つをとともに望ましい性能とするために、IC に搭載される各トランジスタ素子は次の特徴を有する。図 1 は、本発明の理論的背景を説明するためのトランジスタ素子の断面図である。説明の便宜上、たとえばシリコン基板 1 とその上に設けられた絶縁膜 2 とから構成される SOI (Silicon On Insulator) 基板の上に形成された n 型トランジスタ素子について説明する。

【0019】

SOI 基板の絶縁膜 2 の上に、周囲をトレンチ分離酸化膜 4 で囲まれた n-型 Si 層（ドレインドリフト領域）3 が配置され、その上にトランジスタの各領域が構成される。n-型 Si 層の表層には間隔をあけて、共に n+型拡散領域のソース 6 とドレイン（ドレイン収束領域）7 とが配置される。そのソース 6 を、n-型 Si 層の内部側から包囲するように、p 型拡散領域のバックゲート 5 が配置される。このようなバックゲートの構造によりチャネル領域が縮小されたトランジスタ素子を容易に形成することができる。この構造においては、n+型ソース 6

／p型バックゲート5／n型Si層（ドレインドリフト領域）3およびn+型ドレイン（ドレイン収束領域）7からなる、npn構造が形成される。ドレインは、n-型ドレインドリフト領域3と、それより高濃度のn型不純物を含み、コンタクトを内側に内包するドレイン収束領域7とからなる。

【0020】

このソース6とドレイン収束領域7との間のn-型Si層3の表面には、ゲート絶縁膜9が位置し、そのゲート絶縁膜9の上にゲート電極8が配置される。

【0021】

上記のn型トランジスタ素子50aは、ソースとドレイン収束領域との間の距離を変化させることにより、耐圧の異なる素子とされることができるとくに、ドレインドリフト領域の不純物濃度が、リサーチ（RESURF）条件を満たす場合、高耐圧化が容易なためドレインドリフト領域は一般的にリサーチ条件にして用いられることが多い。ここで、リサーチ条件とは、n-型ドレインドリフト領域が完全に空乏層化される不純物濃度を満たすことをいう。リサーチ条件の一つの目安として、たとえば、n-型ドレインドリフト領域のn型不純物の濃度をNとし、n-型ドレインドリフト領域の厚みをdとしたとき、 $N \cdot d = 1 \text{ E } 12 \text{ cm}^{-2}$ を満たすような配置をさす。以後の説明では、 $N \cdot d$ を便宜的に濃度と記載することがある。したがって、濃度と記載されている場合、 $N \cdot d$ を意味する場合がある。

【0022】

ドレインドリフト領域はリサーチ濃度以外でも用いられる場合もあるが、どちらにしても、不純物濃度が一定のまま、ドレイン領域の長さを変化させることにより、耐圧の異なる素子とすることが多い。

【0023】

しかしながら、n-型ウェル層の不純物濃度を変えずに、ソースとドレインとの間の距離を変えて耐圧の異なる素子を実現する方法は、下記の理由により、オン抵抗の観点からはベストではない。例えば、リサーチ条件固定の場合、オン抵抗（実効オン抵抗）は解析計算上、下記の（１）、（２）式で表すことができる。

【 0 0 2 4 】

$$R_{on} \cdot S \propto V_b^{7/3} \quad \dots \dots \dots (1)$$

$$N \cdot d \simeq 1 E 1 2 \quad \dots \dots \dots (2)$$

ここで、 $R_{on} \cdot S$ ：実効オン抵抗であり、素子の単位面積当りのオン抵抗を表す。 V_b は素子耐圧を表す。 N はn-型Si層（ドレインドリフト領域）3の不純物濃度であり、また d はn-型Si層（ドレインドリフト領域）3の厚みである。

【 0 0 2 5 】

一方、耐圧に応じてn-型Si層（ドレインドリフト領域）の不純物濃度を変えた場合、オン抵抗は、シリコン限界と呼ばれる下記の（3）、（4）式で表すことができる。

【 0 0 2 6 】

$$R_{on} \cdot S \propto V_b^{11/3} \quad \dots \dots \dots (3)$$

$$N \propto V_b^{-4/3} \quad \dots \dots \dots (4)$$

上記の（1）式および（3）式より、ドレインドリフト領域3の不純物濃度 N を耐圧に応じて変更するほうが、耐圧の低下とともに急激に実効オン抵抗を下げるができる。例えば、ドレインドリフト領域3の厚み $d = 5 \mu m$ の場合、約87.5V以下においては、リサーフ条件より低い実効オン抵抗となる。上記87.5Vは上記の寸法の場合に得られた電圧であり、寸法などが変われば変化するものである。

【 0 0 2 7 】

上記の評価によれば、（a）所定の耐圧以下のトランジスタ素子では、 $V_b^{-4/3}$ に比例したドレインドリフト領域の不純物濃度を用い、（b）それ以上の耐圧のトランジスタ素子ではリサーフ条件（ $N \cdot d = 1 E 1 2 c m^{-2}$ ）を満たすドレインドリフト領域を用いることが適切であることが分る。

【 0 0 2 8 】

上述のように、リサーフ構造は必ずしも用いなくてよく、図2（a）は、リサーフ構造を用いない場合のドレインドリフト領域の不純物濃度 N と耐圧 V_b との関係を示す図である。リサーフ構造を用いない場合、不純物濃度 N および耐圧 V

bは、オン抵抗を減らす上から、(4)式の関係を満たしている。また、図2(b)は、リサーフ構造を用いる場合のドレインドリフト領域の不純物濃度Nと耐圧V_bとの関係を示す図である。図2(b)に示すように、ある所定耐圧未満の半導体素子はリサーフ濃度よりそのドレインドリフト領域の不純物濃度を上げたほうがよい。しかし、すべての半導体素子が所定耐圧以上の場合には、すべてのドレインドリフト領域の不純物濃度をリサーフ濃度にするのがよく、半導体素子ごとにドレインドリフト領域の不純物濃度を変える必要はない。

【0029】

また、逆に、すべての半導体素子が所定耐圧未満の場合、最も高い耐圧の半導体素子の場合でもリサーフ濃度より高濃度にするほうがオン抵抗を低くすることができる。したがって、すべての素子が所定耐圧以上の素子である場合を除いては、一定不純物濃度のドレインドリフト領域だけを用いたのでは、複数種類の耐圧のトランジスタ素子をそれぞれ最適なオン抵抗にすることはできない。

【0030】

以上より、耐圧性能の異なるトランジスタ素子には、異なる不純物濃度のドレインドリフト領域3を用いるほうがオン抵抗を小さくできることが明らかになった。また、上記のように半導体層の表面側から不純物注入した後、アニール条件を適当に選ぶことにより、半導体層の表層近傍だけの不純物濃度を高くして、内側に向って不純物濃度が低くなるようにすることができる。このことにより、よりオン抵抗を低く、かつ耐圧性能を向上させることができる場合がある。

【0031】

(実施の形態2)

図3は、本発明の実施の形態2におけるSOI(Silicon On Insulator)基板上の集積半導体装置を示す断面図である。Si基板1の上にBOX(Buried Oxide Layer)層2が設けられており、その上にn-型ドレインドリフト領域3a, 3b, 3cが形成されている。n-型ドレインドリフト領域3a, 3b, 3cは、そのn型不純物濃度が、3a<3b<3cの順に高くなる。これらn-型半導体層3a, 3b, 3cは、ドレインドリフト領域を構成する。すなわち、一のドレインドリフト領域および他のドレインドリフト領域は、これらn-型半導体層3a,

3 b, 3 c のうちのいずれか 2 つに該当する。本実施の形態においては、これらドレインドリフト領域の不純物濃度を变化させて、各トランジスタ素子 5 0 a, 5 0 b, 5 0 c にとって最適な濃度に調整することに特徴がある。

【0032】

n-型ドレインドリフト領域 3 a, 3 b, 3 c の表層には間隔をあけて、ともに n+拡散領域のソース 6 とドレイン収束領域 7 とが配置される。そのソース 6 を、内部側から包囲するように、p 型拡散領域のバックゲート 5 が配置される。この構造においては、n+型ソース 6 / p 型バックゲート 5 / n-型ドレインドリフト領域 3 a, 3 b, 3 c および n 型ドレイン収束領域からなる、n p n 構造が形成される。

【0033】

バックゲート 5 の表面上にはゲート絶縁膜 9 を介在させて、導電層のゲート電極 8 が設けられている。上記の構成により、バックゲート 5 と、ソース 6 と、ドレイン 7, 3 a, 3 b, 3 c と、ゲート電極 8 とを構成要素とする n 型 MOS (Metal Oxide Transistor) トランジスタが形成されている。

【0034】

上記のように、ドレインドリフト領域の n 型不純物濃度を変えることにより、耐圧の異なるトランジスタ 5 0 a, 5 0 b, 5 0 c のそれぞれに対して、オン抵抗を適切に設定することができる。一般的には、高耐圧素子の n 型不純物濃度は低く、それより低い耐圧の低耐圧素子の n 型不純物濃度はそれより高くするのがよい。

【0035】

トランジスタ素子 5 0 a, 5 0 b, 5 0 c のドレインドリフト領域 3 a, 3 b, 3 c の n 型不純物濃度を、それぞれの素子耐圧に応じた最適濃度にするにより、低いオン抵抗を実現することができる。このような効果は、SOI 基板を用いた集積半導体装置だけでなく、通常の p 型基板上の n-半導体層を p 型拡散層で相互分離したものでも同様に得ることができる。

【0036】

また、素子分離酸化膜で囲まれたシリコン領域の場合、トレンチ分離 4 により

横方向（基板面に平行な方向）拡散による濃度の相互干渉が起こらないという利点を有する。

【0037】

（実施の形態3）

図4は、本発明の実施の形態3におけるSOI基板上の集積半導体装置50を示す断面図である。Si基板1の上にBOX(Buried Oxide Layer)層2が設けられており、その上にn型のドレインドリフト領域3が形成されている。p型半導体のバックゲート5、ともにn+型ソース6とドレイン収束領域7、ゲート電極8およびその下のゲート絶縁膜9は、図3の集積半導体装置50と同じである。

【0038】

図4の集積半導体装置において特徴的なことは、ドレインドリフト領域3内において、バックゲート5とドレイン収束領域7とを結ぶ部分、すなわちドレインドリフト層に、トランジスタ50bにはn型ドレインドリフト領域3より高濃度のn型不純物を含むn型ドレインドリフト層10bを設け、トランジスタ50cには、n型ドレインドリフト層10bより高濃度のn型ドレインドリフト層10cを設けたことにある。トランジスタ50aでは、対応する箇所はn型ドレインドリフト領域3のn型不純物濃度となっている。上記のバックゲート5とドレイン収束領域7とを結ぶ部分は、バックゲート5とドレイン収束領域7との間のドレインドリフト領域3の表層部と言い換えることもできる。

【0039】

図4に示す集積半導体装置において、トランジスタ50aが最も高耐圧の素子であり、トランジスタ50bおよび50cの順に低耐圧とする。そして、低耐圧トランジスタ50b、50cにおいては、それぞれの素子の耐圧性能に応じた濃度のn型ドレインドリフト層10b、10cを配置する。トランジスタ50a、50b、50cについて見ると、ドレインドリフト層の不純物濃度は、n型ドレインドリフト領域3<n型ドレインドリフト層10b<n型ドレインドリフト層10c、の順に高くなる。

【0040】

上記ドレインドリフト層の不純物濃度をトランジスタ素子ごとに調整することにより、高い耐圧性能が必要なトランジスタ素子には高い耐圧特性を与え、また、耐圧性能よりもオン抵抗を下げるのが重要なトランジスタ素子には低いオン抵抗を付与することができる。この結果、集積半導体素子として良好な耐圧特性と低いオン抵抗を得ることができる。

【0041】

(実施の形態4)

図5は、本発明の実施の形態4におけるSOI基板上の集積半導体装置50を示す断面図である。本実施の形態では、最大耐圧の素子を含む、各々の素子のドレインドリフト領域を、ドレインドリフト層10a、10b、10cで形成したことに特徴がある。その他の部分は、実施の形態3における構成と同様である。n型不純物の濃度は、ドレインドリフト領域 $3 \leq$ ドレインドリフト層10a \leq ドレインドリフト層10b \leq ドレインドリフト層10c、の順に高くなる。したがって、トランジスタ50a、50b、50cのオン抵抗は、 $50a \geq 50b \geq 50c$ 、の順に低くすることができる。

【0042】

上述の図4のトランジスタ50a、50b、50cの構造について説明したように、基板の不純物濃度を最高耐圧に適した不純物濃度にすれば、最高耐圧の素子にはドレインドリフト層は不要になる。この場合、低濃度で深さの深いドレインドリフト領域よりも、高濃度で浅いドレインドリフト領域のほうが電流経路が直線的になるので、オン抵抗を低くすることができる。しかも、ボディ直下の不純物濃度を任意の低濃度に設定することができるので、ボディ直下の電荷集中を防ぎ、耐圧を向上させやすいメリットを得ることができる。

【0043】

(実施の形態5－製造方法の概要－)

異なる不純物濃度のドレインドリフト層は、n型不純物のイオン注入により形成することができる。とくに、次に説明するメッシュ注入を用いることにより、製造プロセスを容易にでき、好ましい。通常、不純物注入によりn-型ドレインドリフト領域を形成する場合、n-型ドレインドリフト領域において必要とされ

る領域の全域に不純物を注入し、注入量を調節することにより、所望の不純物濃度の層を得ることができる。この場合、素子ごとに不純物濃度を変えたい場合、その条件数だけ写真製版工程と注入工程とを繰り返す必要があり、処理工数を増大させ好ましくない。

【 0 0 4 4 】

この問題を解決する手段として、注入をドレインドリフト層の全域にするのではなく、開口部とマスク部とが短いピッチで配置されたメッシュ状またはストライプ状のマスクを用いてドレインドリフト層の必要とされる領域内に部分的にイオン注入を行なうことができる。この場合、イオン注入の直後は、マスク部と開口部とに対応して、不純物の薄い箇所と濃い箇所とがまだらになってしまう。しかし、注入後に十分なアニール処理（拡散処理）を加えることにより、不純物を均質化することができる。この結果、実際に注入した量よりも低い注入量で注入したのと同じ結果を得ることができる。この結果、1回の注入によってトランジスタ素子ごとにドレインドリフト層の不純物濃度を変えることができるので、ICに搭載される各種の耐圧の素子について、オン抵抗を容易に最適化することができる。

【 0 0 4 5 】

（実施の形態6）

本発明の実施の形態6では、実施の形態4に示した集積半導体装置（図5）を製造する方法の一例について説明する。本実施の形態では、n型ドレインドリフト層10a, 10b, 10cは同一注入工程で注入される。各n型拡散領域の濃度の違いは、開口面積または開口率を調整することにより行なう。すなわち、ストライプ状またはメッシュ状のレジストマスク21を用いて、図6に示すように不純物を注入する。マスク部21bに対応する半導体表層部では不純物濃度が低く、開口部21aに対応する半導体表層部では不純物濃度が高い。図6によれば、トランジスタ50a, 50b, 50cの半導体表層部において均した平均不純物濃度は、50a<50b<50cの順に高くなる。次いで、図7に示すように、アニールすることにより注入部と不注入部の濃度の不均一を均一化する。

【 0 0 4 6 】

上記の方法によれば、単一の注入工程により注入量を異にする所定部分に所望の不純物量を注入することができるので、プロセスの追加を極力抑えることができる。上記の方法は、実施の形態 3 の集積半導体装置の製造においてドレインドリフト層 1 0 b, 1 0 c を形成するときにも、たとえばトランジスタ 5 0 a の領域は開口部をゼロにするなどして、適用することができる。また、実施の形態 2 における集積半導体装置の製造においても、不純物注入後のアニールを十分行うことによって深い位置まで不純物を拡散させ、不純物濃度の異なる n-型ドレインドリフト領域 3 a, 3 b, 3 c を形成することができる。

【0 0 4 7】

注入マスクについては、所定のピッチで開口したレジストマスクなどの注入マスク 2 1 を用いて注入する場合、各開口部分が広すぎると通常の 1 次元拡散と同等の濃度プロファイルとなってしまう。すなわち、トランジスタ間の不純物濃度の差がつかない。逆に各マスク部分が広すぎると、拡散層がつながらなくなり、非注入部の低い不純物濃度の部分が低いまま残ってしまう。マスクパターンは、開口部分およびマスク部分の寸法がともに小さいほど好ましい。いま、図 8 に示すように、拡散長を、拡散した不純物の濃度が基板の濃度と同等になる距離 L と定義する。図 8 に、開口幅、マスク幅および開口ピッチと、拡散長 L との関係を示す。上記の定義にしたがえば、次の関係が成り立つことが必要である。

【0 0 4 8】

$$\text{開口幅} < 2 L \quad \dots\dots\dots (5)$$

$$\text{マスク幅} < 2 L \quad \dots\dots\dots (6)$$

$$\text{ピッチ} < 4 L \quad \dots\dots\dots (7)$$

上記 (5)、(6)、(7) の中の任意の 2 つを満たすようなマスク、またはこれらすべての条件を満たすマスク、を用いてもよい。

【0 0 4 9】

さらに、メッシュとしては、図 9 に示すような四角形のメッシュ状マスク、図 1 0 に示すような六角形のメッシュ状マスク（ハニカムマスク）を用いることができる。また、上記の形状に限られず、多角形や円形、曲線図形の開口形状のメッシュ状マスクを用いることができる。

【 0 0 5 0 】

また、図 1 1 (a) および図 1 1 (b) に示すようなストライプ状のレジストマスクを用いてもよい。図 1 ～図 5 に示す横型トランジスタでは、トランジスタ終端部分などで電流の流れる方向が変わる。このため、ストライプ状のマスクを用いた結果、ストライプ状の濃度分布になった場合、濃度分布により抵抗の異方性を生じてしまい、耐圧への悪影響が生じやすい。しかし、ストライプの方向をトランジスタのソースとドレインとを結ぶ方向に沿うように配置することにより、オン時の電流路の濃度分布を電流方向に均一濃度とすることができる。その結果、低オン抵抗とすることができる。

【 0 0 5 1 】

(実施の形態 7)

本発明の実施の形態 7 では、開口率を高めたドット状マスクについて説明する。実施の形態 6 で紹介したメッシュタイプの注入マスクの場合、不純物濃度の均一性を確保するには適しているが、実効注入量を減らすために開口率を上げてゆくと、レジスト幅が狭くなりすぎて写真製版できなくなる可能性がある。

【 0 0 5 2 】

図 9 ～ 1 1 を参照して、開口ピッチを 1 として、(マスク幅/開口ピッチ) = x (< 1) とすると、開口率は開口形状に応じて次のようになる。

(ストライプ状のマスク) : 開口率 = $1 - x$

(メッシュタイプのマスク) : 開口率 = $K (1 - x)^2$: ここで、開口形状が四角形および六角メッシュの場合、 $K = 1$ であり、円形の場合、 $K = \pi / 4$ である。

【 0 0 5 3 】

上記の開口率の評価より、メッシュ状マスクは、ストライプ状マスクよりも開口率を上げにくい。そこで、メッシュ状マスクで開口率を上げたい場合は、マスクの抜き部分(開口部)と残し部分(マスク部または遮蔽部)とを反転したドット状マスクを使用することによって、濃度の均一性を保ちつつ開口率を上げることができる。

【 0 0 5 4 】

図 1 2 および図 1 3 に、ドット状マスクのレジストパターン（マスクパターン）を示す。これらのドット状マスクの開口率は次のように表示される。

（ドットタイプのマスク）：開口率 $= 1 - K^2$ ： ここで、マスク部形状が四角形および六角形の場合、 $K = 1$ であり、円形の場合、 $K = \pi / 4$ である。このドット状マスクの場合、同一マスク幅（遮蔽幅またはレジスト幅）では最も開口率が大きく、かつ均一性も確保することができる。

【 0 0 5 5 】

（実施の形態 8）

本発明の実施の形態 8 では、実施の形態 5 または 6 に示した製造方法において、図 6 の不純物注入を、トランジスタ素子領域を分離するシリコン酸化膜 4 を形成した後で行なうことに特徴がある（図 1 4）。トランジスタ素子領域を分離した後には不純物拡散を行なうと、注入した不純物が隣接領域に混入することがないので、アニールにおいて、長時間のアニール処理が可能である（図 1 5）。すなわち、n-型ドレインドリフト領域 3 の厚みよりも長い拡散長 L の拡散を行なうことによって、深さ方向の不純物濃度をより均一にすることができる。

【 0 0 5 6 】

深さ方向の不純物濃度を、より短いアニール時間で均一にしたい場合、高エネルギー、例えば 1 MeV 以上の高エネルギーによって深い位置に注入するとよい。この結果、より短い拡散長 L の拡散によっても深さ方向の不純物濃度を均一にすることができる。

【 0 0 5 7 】

（実施の形態 9）

これまで説明した構造およびその製造方法は、複数の半導体素子を有する集積半導体装置であって、ドレインの濃度を半導体素子に応じて変化させることが望ましいものであればどのような集積半導体装置にも適用することができる。本発明の実施の形態 9 では、上記の構造および製造方法を適用することができる集積半導体装置について説明する。

【 0 0 5 8 】

上記のように、ドレイン領域の濃度が半導体素子に応じて変化させることが望

ましい集積半導体装置として、I G B T (Insulated Gate Bipolar Transistor : バイポーラ型電界効果トランジスタ)、n p n トランジスタ、p n p トランジスタ、横型 p n p トランジスタ、横型 n p n トランジスタ、などを挙げることもできる。これらの素子は、これまでに説明した n M O S と同じく、各半導体素子の耐圧レベルに応じて実効オン抵抗またはサチュレーション電圧を最適化することができる。図 1 6 は、I G B T のドレイン収束領域 7 と接合を形成する p + 領域 2 6 が形成され、逆バイアス電圧の印加により空乏層がドレイン収束領域 7 に広がる構造がとられている。他の部分の構造は図 1 と同じである。図 1 6 に示す構造から分るように、図 1 において説明した耐圧とドレインドリフト領域の不純物濃度（オン抵抗）との関係は、図 1 6 の半導体素子にもそのまま当てはめることができる。

【 0 0 5 9 】

(実施の形態 1 0)

本発明の実施の形態 1 0 では、図 5 に示した n M O S 構造において、ソースとドレイン収束領域との間隔が異なるトランジスタの製造方法について説明する。ソースとドレイン収束領域との間隔は、トランジスタの耐圧に最も強く影響する。したがって、低耐圧トランジスタでは上記間隔が短く、高耐圧トランジスタでは上記間隔が長い。

【 0 0 6 0 】

n-型ドレインドリフト領域 3 をリン注入により形成し、それらの耐圧とオン抵抗とのトレードオフ特性をシミュレーションによって求めた結果を図 1 7 に示す。ソースとドレイン収束領域との間隔の狭い低耐圧用の n M O S トランジスタでは、不純物注入量が $3.0 \times 10^{12} \text{ cm}^{-2}$ で耐圧とオン抵抗とのトレードオフが最も良い。一方、ソースとドレインとの間隔の広い高耐圧用の n M O S トランジスタでは、注入量が $1.2 \times 10^{12} \text{ cm}^{-2}$ で最も良好であることが分る。したがって、耐圧の異なるこれらのトランジスタは、低耐圧用トランジスタでは $3.0 \times 10^{12} \text{ cm}^{-2}$ のリン注入、また高耐圧用トランジスタでは $1.2 \times 10^{12} \text{ cm}^{-2}$ のリン注入を行なうことによって、それぞれ最適な n-型半導体層を得ることができる。

【0061】

上記の結果は、ソースとドレイン収束領域との間隔が変わる場合、ドレインドリフト領域の不純物濃度をその間隔に応じて変えることにより、耐圧とオン抵抗とのトレードオフにおいて最良のものを得ることができることを示している。例えば、複数の半導体素子を、素子耐圧100V以上と100V未満とに分けて、素子耐圧100V未満の半導体素子のドレインドリフト領域における積 $N \cdot d$ が $1.2 \times 10^{12} \text{ cm}^{-2}$ を超える構成にすることができる。また、素子耐圧100V以上の半導体素子の上記積 $N \cdot d$ を、 $0.8 \times 10^{12} \text{ cm}^{-2}$ 以下～ $1.2 \times 10^{12} \text{ cm}^{-2}$ の範囲（リサーフ条件）とすることができる。この場合、半導体素子を耐圧によって区分けする所定耐圧は100Vということになる。さらに、複数の半導体素子すべてにおいて、耐圧の如何によらず、上記積 $N \cdot d$ を 0.8×10^{12} 以上とすることもできる。

【0062】

（実施の形態11）

本発明の実施の形態11では、実施の形態10（図17）に実施の形態6（図6、図7）を適用した製造方法について説明する。実施の形態10においては、高耐圧トランジスタと低耐圧トランジスタとで、別々の不純物注入を行なう必要があった。この別々の機会に行なう不純物注入を、実施の形態5、6を適用することにより、1回の注入で行なうことが可能になる。

【0063】

高耐圧用のnMOSトランジスタの領域に、ストライプ状マスクを用いてリンを注入量 $3.0 \times 10^{12} \text{ cm}^{-2}$ で注入したもののシミュレーション結果を図18、図19に示す。図18は断面における濃度プロファイルを示しており、図19は深さ方向の濃度分布を示している。比較のために、ストライプタイプのマスクを用いなくて、リンを全面的に注入量 $1.2 \times 10^{12} \text{ cm}^{-2}$ 注入した結果も図19にプロットしてある。図19より、ストライプ状マスクを用いることにより、 $3.0 \times 10^{12} \text{ cm}^{-2}$ の注入量で、ほぼ $1.2 \times 10^{12} \text{ cm}^{-2}$ に相当する注入結果と同等のn-型ドレインドリフト領域を実現できることが分る。

【0064】

このため、低耐圧 nMOS トランジスタのドレインドリフト領域に対応する部分には全面的に注入を行ない、高耐圧 nMOS トランジスタのドレインドリフト領域に対応する部分ではストライプ状のマスクを掛けて、注入量 $3.0 \times 10^{12} \text{ cm}^{-2}$ で注入することにより、1 回の注入により、低耐圧 nMOS 素子と高耐圧 nMOS 素子とに最適の不純物濃度のドレインドリフト領域を形成することができる。つまり、実施の形態 10 において示した低耐圧用の nMOS トランジスタに適した n-型ドレインドリフト領域と、高耐圧 nMOS トランジスタの nMOS トランジスタに適した n-型半導体層とを 1 回の注入で実現できることが分る。

【0065】

上記の方法を用いることにより、さらに多種の半導体素子を有する集積半導体装置においても、半導体素子ごとに開口率を変化させた注入マスクを用いた 1 回の注入により、それぞれの半導体素子において最適な低オン抵抗を実現することができる。

【0066】

(実施の形態に対する付言)

(1) 上記実施の形態では、ドレインドリフト領域およびドレインドリフト層の不純物濃度を個別に変化させる場合について説明した。しかし、半導体素子ごとに両方ともに変化させて、耐圧およびオン抵抗を調整してもよい。

(2) 上記実施の形態では、ドレインのなかのドレインドリフト領域およびドレインドリフト層を所定部分として、不純物濃度を半導体素子の種類に応じて変化させる例について説明したが、ドレインのなかの他の部分を所定部分として不純物濃度の調整を図ってもよい。

(3) 各ドレインドリフト領域における不純物濃度はアニール処理によって均一にしてもよいし、均一にしなくてもよい。オン抵抗に大きな影響を持つ表層部で不純物濃度が高く、内側に入るほど低くなるような勾配がついていてもよい。各々の半導体素子において、オン抵抗を低くして耐圧を高めるために、勾配がついていたほうがよい場合がある。この場合でも、異なる半導体素子間においてドレインドリフト領域の不純物濃度が異なっていることは言うまでもない。

【0067】

上記において、本発明の実施の形態について説明を行ったが、上記に開示された本発明の実施の形態は、あくまで例示であって、本発明の範囲はこれら発明の実施の形態に限定されることはない。本発明の範囲は、特許請求の範囲の記載によって示され、さらに特許請求の範囲の記載と均等の意味および範囲内でのすべての変更を含むものである。

【 0 0 6 8 】

【発明の効果】

本発明の集積半導体装置およびその製造方法を用いることにより、複数の半導体素子を有する集積半導体装置において、半導体素子ごとに、所望のオン抵抗および耐圧を得ることにより、集積半導体装置として適切な特性を得ることができる。

【図面の簡単な説明】

【図 1】 本発明の理論的背景を説明するための図面である。

【図 2】 (a) は、リサーフ構造を用いない場合のドレインドリフト領域の不純物濃度 N と耐圧 V_b との関係を示し、また (b) は、リサーフ構造を用いる場合のドレインドリフト領域の不純物濃度 N と耐圧 V_b との関係を示す図である。

【図 3】 本発明の実施の形態 2 における集積半導体装置の断面図である。

【図 4】 本発明の実施の形態 3 における集積半導体装置の断面図である。

【図 5】 本発明の実施の形態 4 における集積半導体装置の断面図である。

【図 6】 本発明の実施の形態 6 における集積半導体装置の製造方法において、不純物を注入している状態を示す図である。

【図 7】 図 6 に示す不純物注入工程の後、アニールをしている状態を示す図である。

【図 8】 注入マスクの各部を示す図である。

【図 9】 開口部が四角形のメッシュ状注入マスクを示す図である。

【図 10】 開口部が六角形のメッシュ状注入マスクを示す図である。

【図 11】 (a) および (b) とともにストライプ状の注入マスクを示す図である。

【図 1 2】 マスク部が四角形であり、開口部がその四角形を取り囲む部分に設けられたドット状の注入マスクを示す図である。

【図 1 3】 マスク部が六角形であり、開口部がその六角形を取り囲む部分に設けられたドット状の注入マスクを示す図である。

【図 1 4】 本発明の実施の形態 8 における集積半導体装置の製造方法において、不純物を注入している状態を示す図である。

【図 1 5】 図 1 4 の不純物注入工程の後にアニールした状態を示す図である。

【図 1 6】 本発明の実施の形態 9 において挙げた I G B T を示す図である。

【図 1 7】 本発明の実施の形態 1 0 において耐圧とオン抵抗とのトレードオフ特性をシミュレーションによって求めた結果を示す図である。

【図 1 8】 本発明の実施の形態 1 1 において、各種注入マスクを用いて注入した不純物の濃度分布プロファイルのシミュレーション結果を示す図である。

【図 1 9】 本発明の実施の形態 1 1 において、各種注入マスクを用いて注入した濃度分布のシミュレーション結果を示す図である。

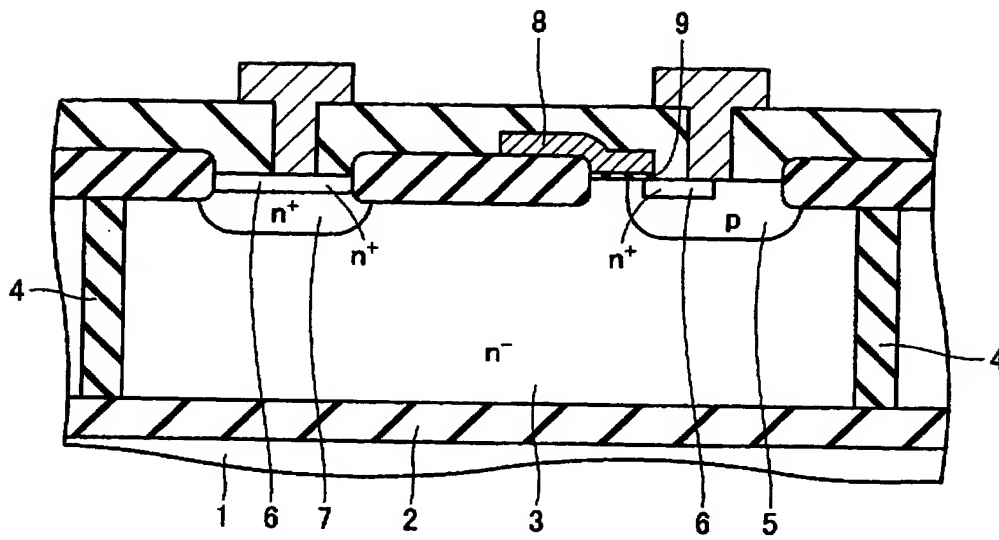
【符号の説明】

1 シリコン基板、2 絶縁膜 (Buried Oxide Layer)、3, 3 a, 3 b, 3 c ドレインドリフト領域 (n-型 Si 層)、4 素子分離絶縁膜、5 バックゲート (p 型領域)、6 ソース (n+型領域)、7 ドレイン (n+型領域)、8 ゲート電極、9 ゲート絶縁膜、1 0, 1 0 a, 1 0 b, 1 0 c ドレインドリフト層、1 1 不純物注入領域、1 3 不純物マスク領域、2 1 注入マスク、2 1 a 開口部、2 1 b マスク部 (遮蔽部)、2 6 p+型領域、5 0 a, 5 0 b, 5 0 c トランジスタ素子、5 0 I C (集積半導体装置)。

【書類名】 図面

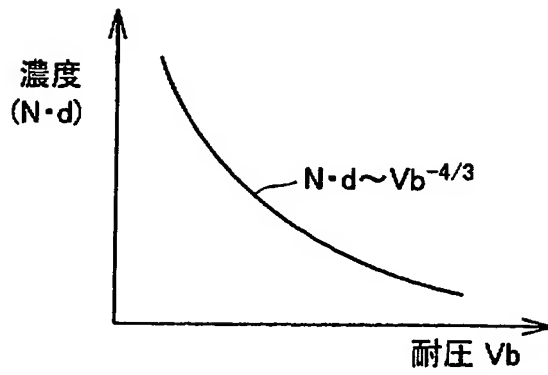
【図 1】

50a

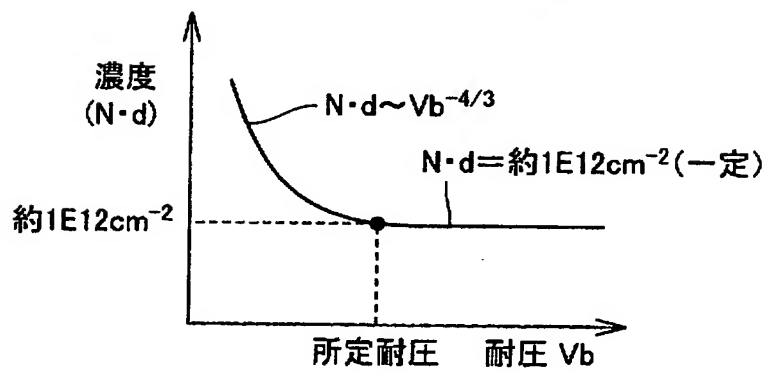


【図 2】

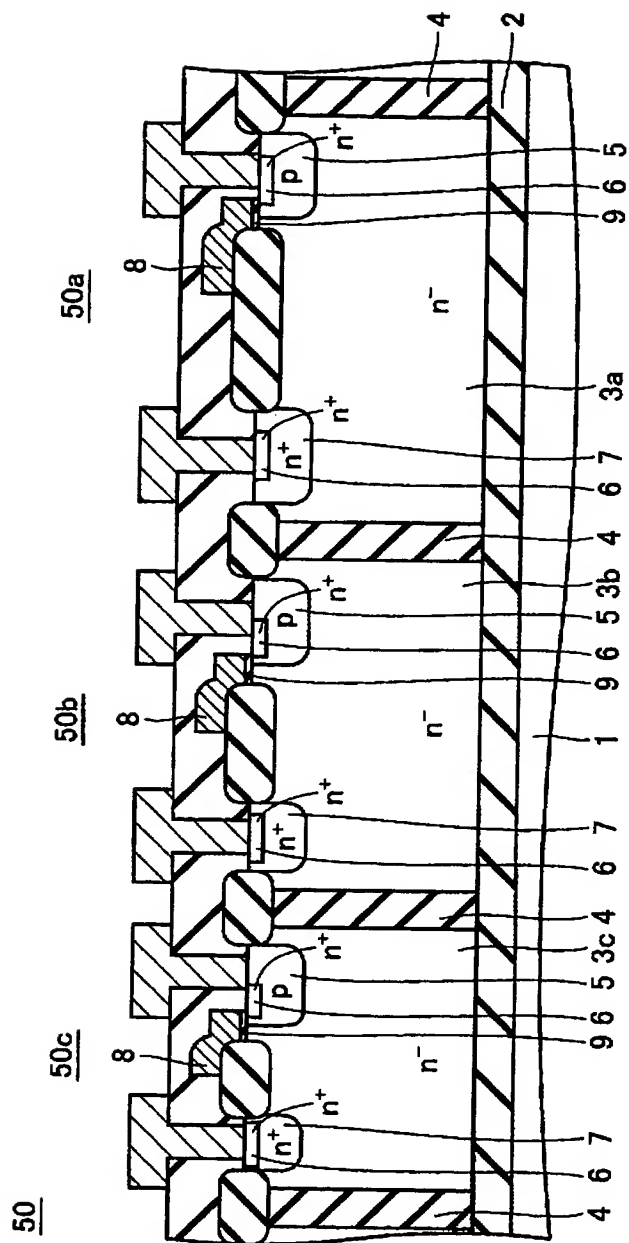
(a) リサーフ構造を用いない場合



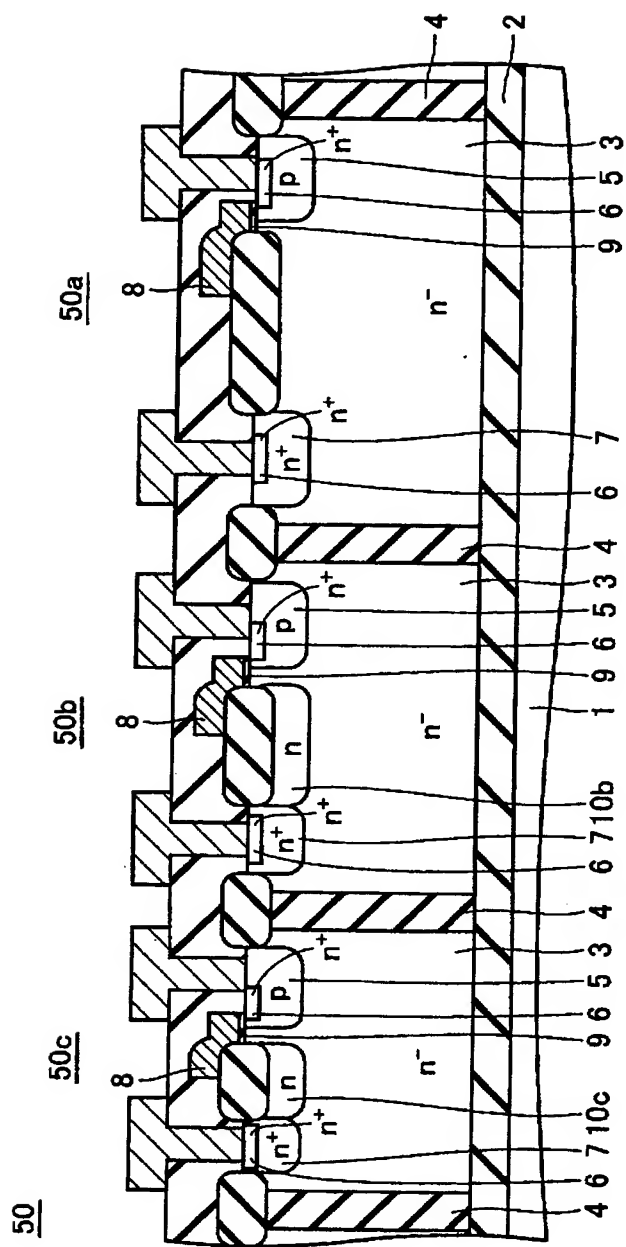
(b) リサーフ構造を用いた場合



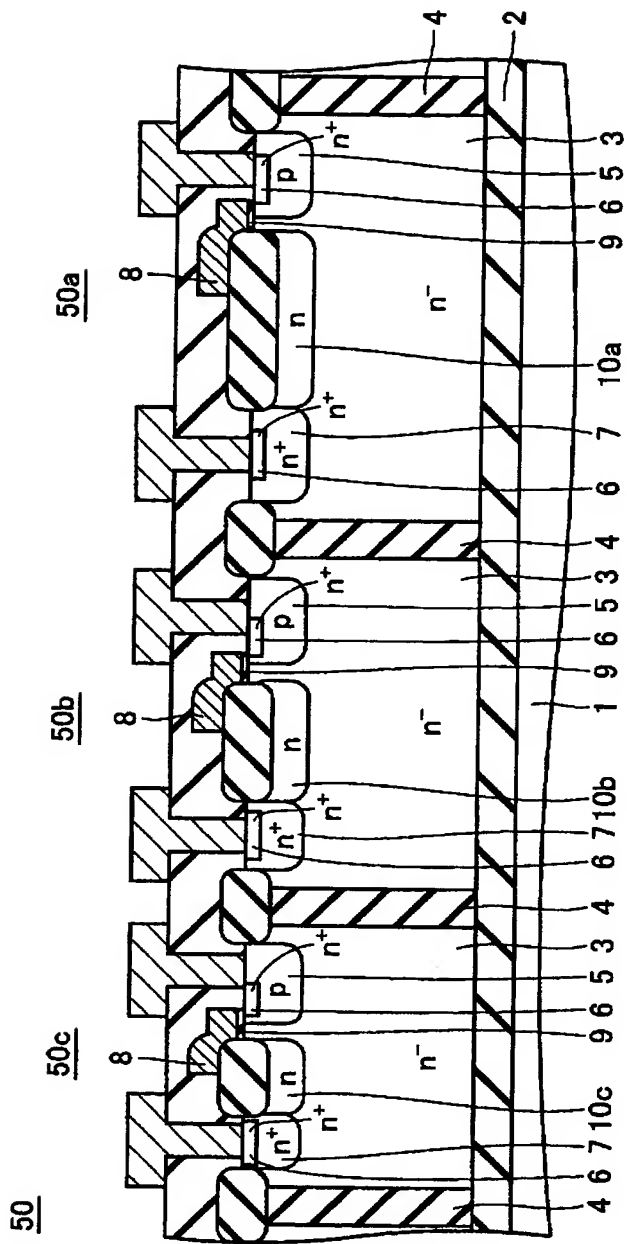
【図 3】



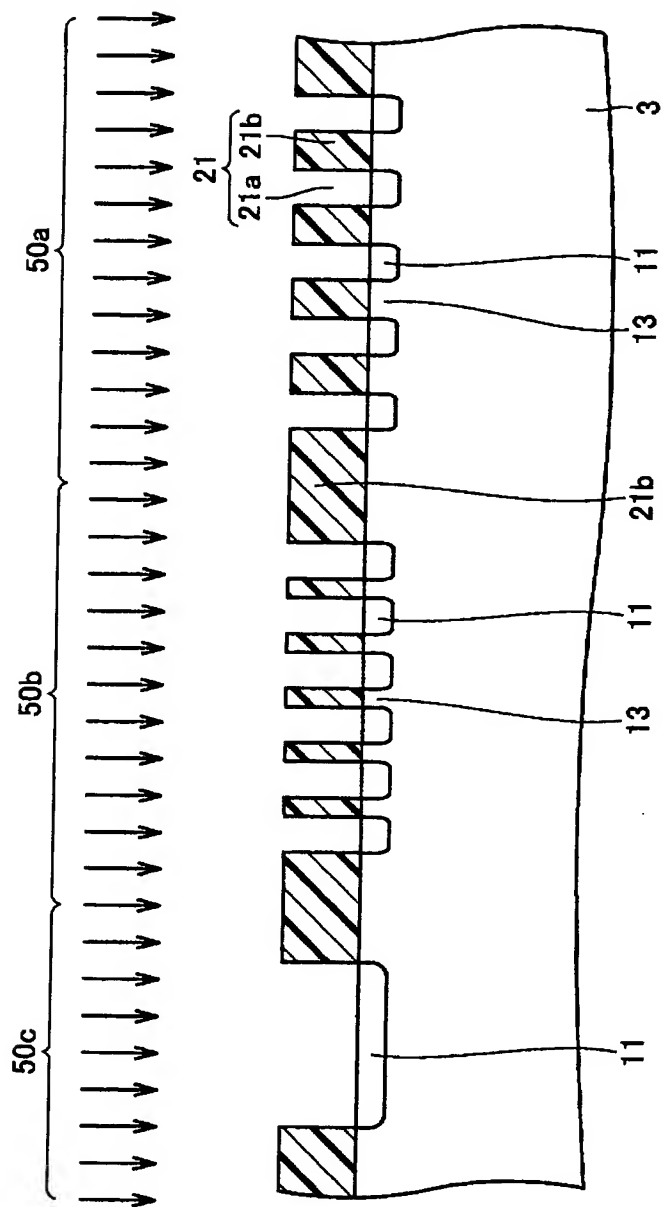
【図4】



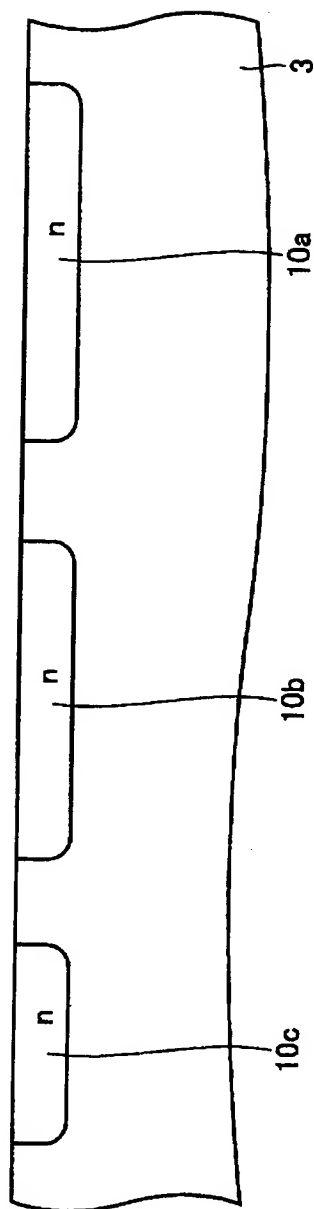
【図 5】



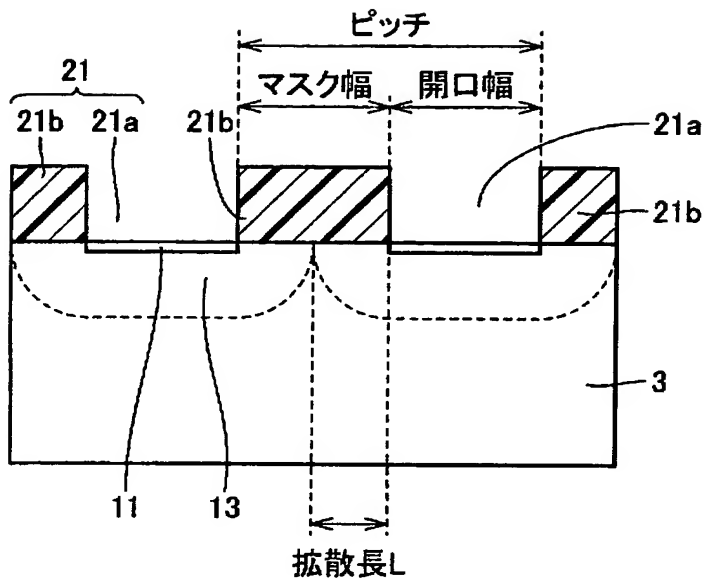
【図 6】



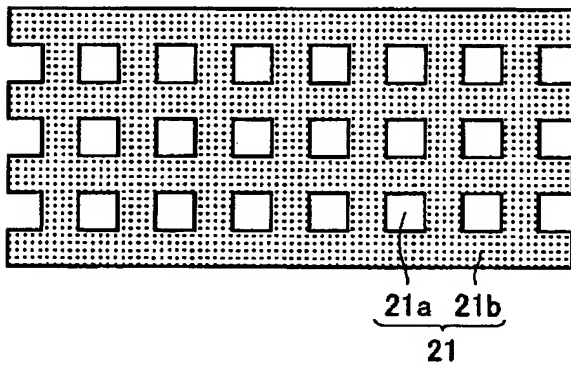
【図 7】



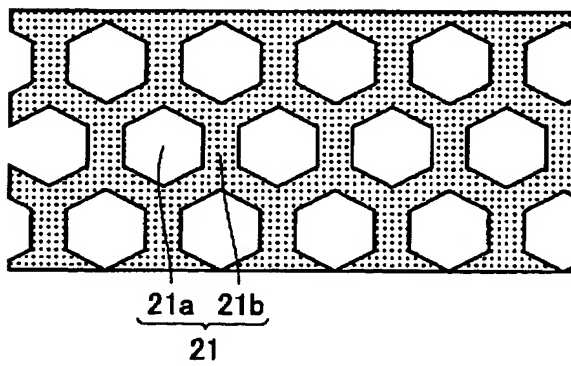
【図 8】



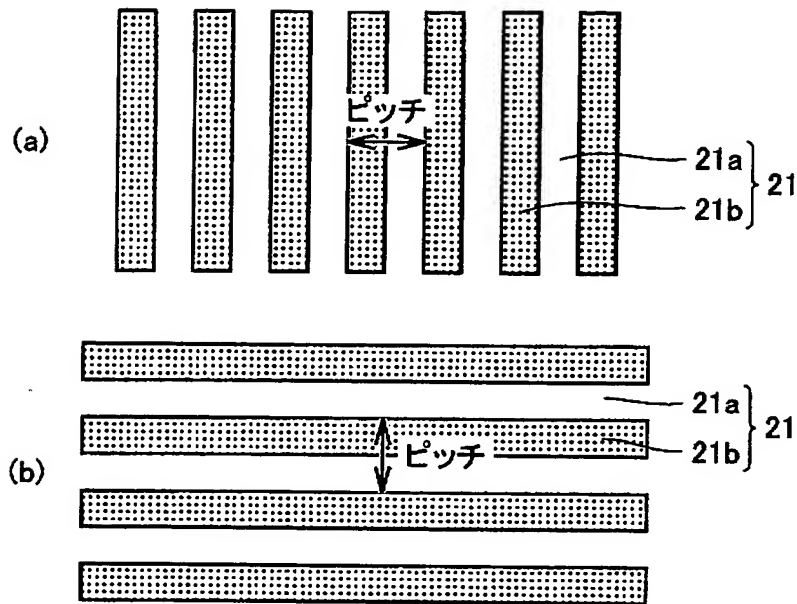
【図 9】



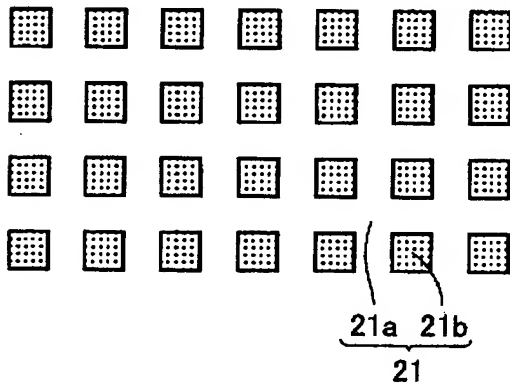
【図 10】



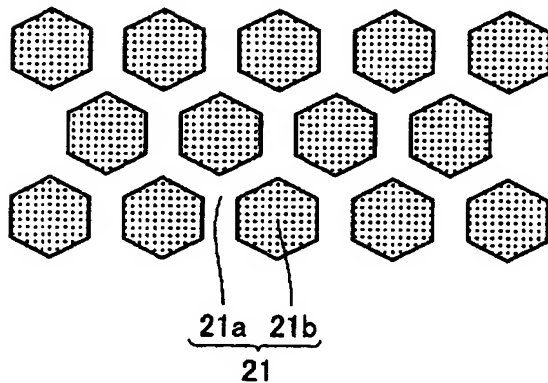
【図 1 1】



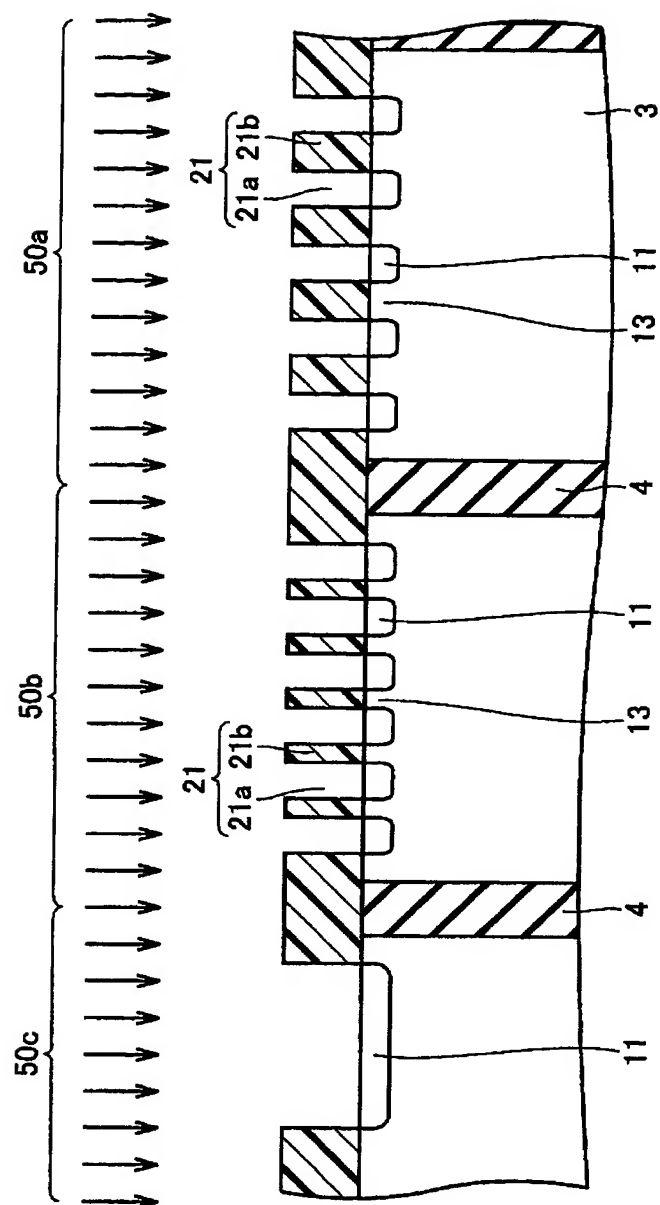
【図 1 2】



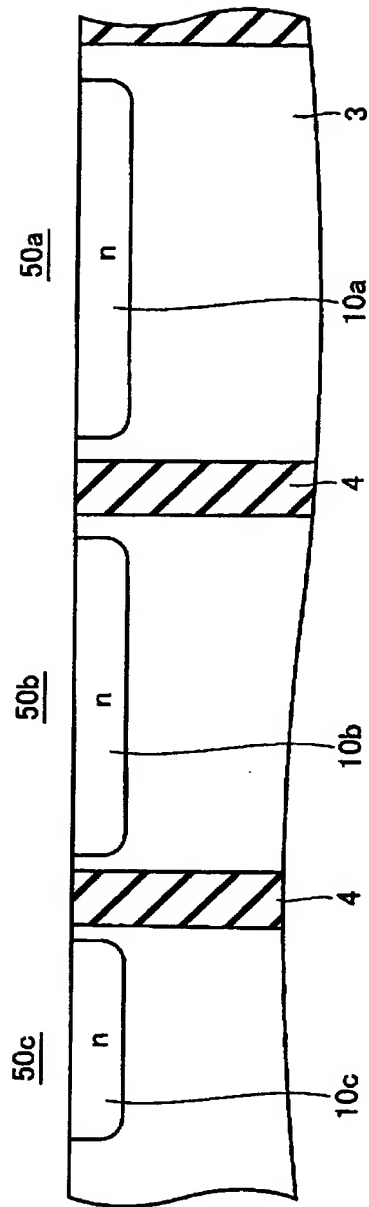
【図 1 3】



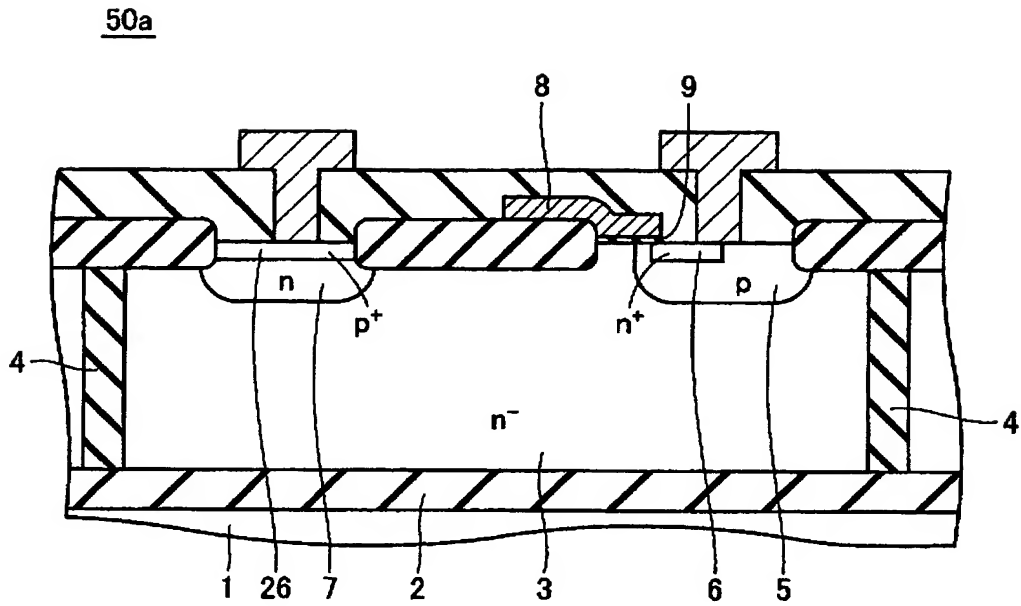
【図 1 4】



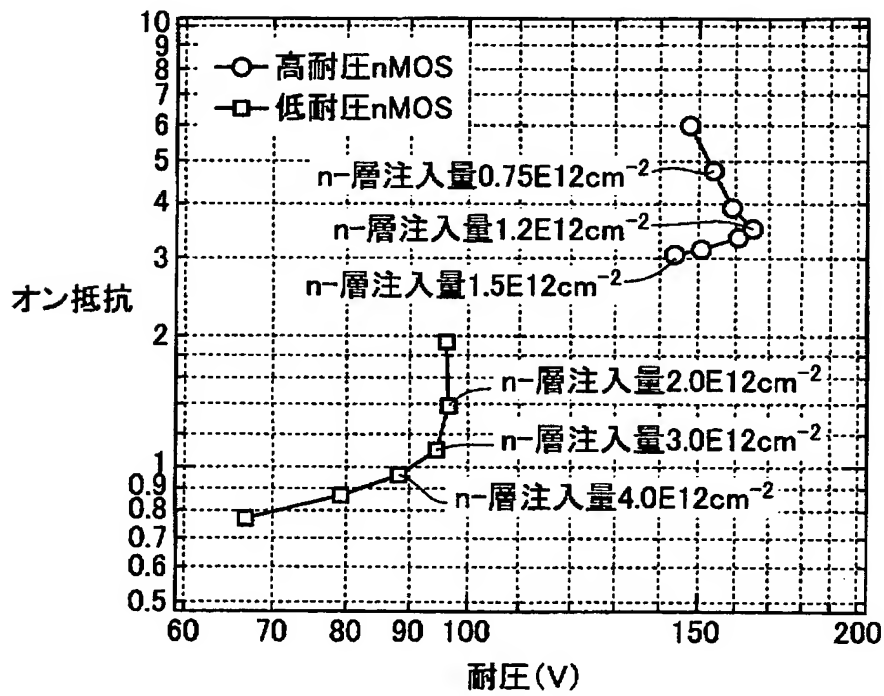
【図 1 5】



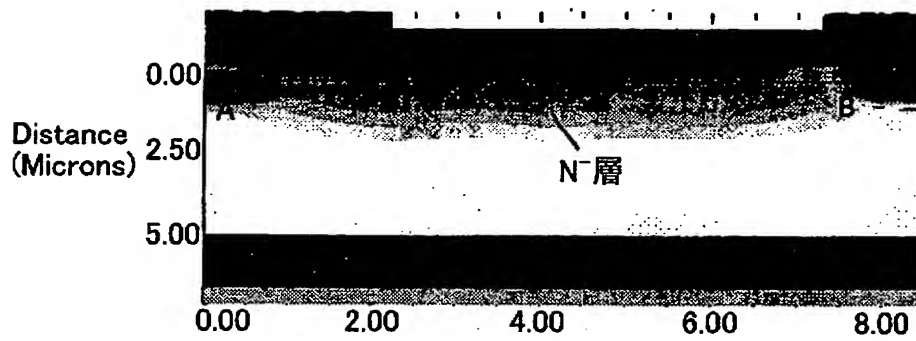
【図 16】



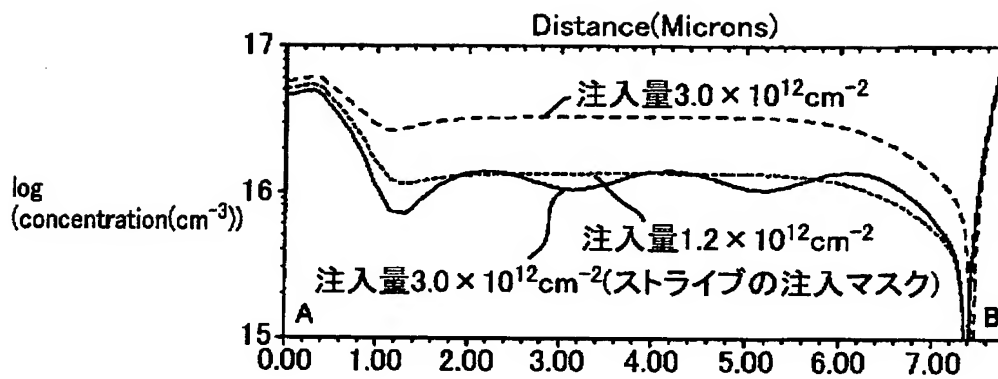
【図 17】



【図 18】



【図 19】



【書類名】 要約書

【要約】

【課題】 半導体素子ごとに、所望のオン抵抗および耐圧を得ることにより、集積半導体装置全体として適切な特性を得ることができるようにした集積半導体装置を得る。

【解決手段】 半導体層内に形成された、n型半導体のソース6と、n型半導体のドレイン3、3と、ソースとドレインとの間に介在するp型半導体のバックゲート5とを有する半導体素子50a、50b、50cを、複数、搭載した集積半導体装置50であって、一の半導体素子における一のドレインの少なくとも所定部分における不純物濃度が、他の半導体素子における他のドレインの所定部分の不純物濃度と異なる。

【選択図】 図2

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 6 0 1 3]

1. 変更年月日	1 9 9 0 年 8 月 2 4 日
[変更理由]	新規登録
住 所	東京都千代田区丸の内 2 丁目 2 番 3 号
氏 名	三菱電機株式会社